

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-030470

(43)Date of publication of application : 08.02.1991

(51)Int.Cl.

H01L 27/092

H01L 29/784

(21)Application number : 01-163815

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.06.1989

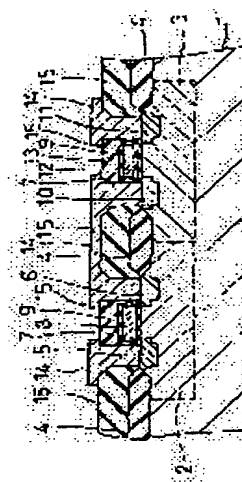
(72)Inventor : TAKAGI SHINICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To restrain the diffusion of impurity from a gate electrode and hot carriers from deteriorating so as to obtain a complementary FET device stable and excellent in electrical properties by a method wherein the thickness of the gate insulating film of a second conductivity type FET is all or partially formed of an insulating film which contains semiconductor and nitrogen.

CONSTITUTION: A surface type first conductivity type FET and a second conductivity type FET, which are provided with gate electrodes 8 and 13 formed on a semiconductor substrate 1 through the intermediary of gate insulating films 7 and 12 respectively, are formed on the same semiconductor substrate 1 to constitute a semiconductor device, where the gate insulating film 7 of the first conductivity type FET is formed of a semiconductor oxide film and the thickness of the insulating films 7 and 12 of the second conductivity type FET is wholly or partially formed of an insulating film 12 which contains semiconductor and nitrogen. For instance, a gate electrode 13 is formed on the channel region of a P channel FET through the intermediary of an insulating layer of a two-layered structure composed of a silicon oxide film 7 and a silicon nitride film 12 formed thereon, and the gate electrode 13 concerned is formed of P-type impurity highly concentrated poly-silicon.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-30470

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)2月8日

H 01 L 27/092
29/7847735-5F
8422-5FH 01 L 27/08
29/783 2 1 D
3 0 1 G

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-163815

⑰ 出 願 平1(1989)6月28日

⑱ 発 明 者 高 木 信 一 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 三好 秀和 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体基板上にゲート絶縁膜を介して形成されたゲート電極を備えた表面型の第1導電型及び第2導電型FET(電界効果トランジスタ)が同一半導体基板上に形成されてなる半導体装置において、

前記第1導電型FETのゲート絶縁膜は、半導体酸化膜からなり、

前記第2導電型FETのゲート絶縁膜は、その膜厚の一部あるいは全部が半導体と窒素を含む絶縁膜からなることを特徴とする半導体装置。

(2) 前記絶縁膜はシリコン窒化膜あるいはシリコン・オキシナイトライド膜であることを特徴とする請求項1記載の半導体装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、相補型として機能するように接続されたNチャネルFETとPチャネルFETのゲート絶縁膜をそれぞれ異なる性質の絶縁膜で形成した半導体装置に関する。

(従来の技術)

NチャネルとPチャネルのそれぞれMOS型FET(電界効果トランジスタ)を用いたCMOS半導体装置にあっては、通常そのゲート電極がN型の不純物が高濃度にドーブされたポリシリコン膜で形成されている。このため、PチャネルFETでは、しきい値の調整の観点から、チャネル領域にP型不純物のイオン注入を行う所謂埋込み型となっている。この埋込み型のFETは、チャネル長の縮小化にともなって、パンチスルー耐圧が低下したり、基板表面部に形成されるN型層の濃度や厚さの制御が基板濃度の増大により困難になる。

そこで、CMOS半導体装置の微細化を図るためには、Nチャネル及びPチャネルの両FETを

ともに、表面型とするCMOS構造が有効となる。

このような構造は、ゲート電極として、NチャネルFETでは高濃度にN型の不純物がドーブされたポリシリコン、PチャネルFETでは高濃度にP型の不純物がドーブされたポリシリコンを用いることで実現することが可能となる。

このような構造において、ゲート絶縁膜がシリコン酸化膜で形成されている場合には、Pチャネルのゲート電極をなすポリシリコンにドーブされたボロンが、シリコン酸化膜を容易に拡散する。このため、チャネル領域における不純物濃度の変化によるしきい値制御の不安定性や、ゲート電極の空乏化を引き起こしていた。

そこで、PチャネルFETのゲート電極からのボロンの拡散を抑制するためには、ゲート絶縁膜であるシリコン酸化膜とゲート電極であるポリシリコンの間に、シリコン窒化膜あるいはシリコン・オキシナイトライド膜（シリコン窒化酸膜）を挿入することが有効である。

このシリコン窒化膜やシリコン・オキシナイト

電気的特性の変動や劣化を引き起こし、信頼性の低下を招いていた。

一方、ボロンの拡散を抑制するために、ゲート絶縁膜の膜厚の一部あるいは全部をシリコン窒化膜あるいはシリコン・オキシナイトライド膜で形成した場合には、NチャネルFETにおいてホットキャリアの劣化を引き起こし易かった。このため、ゲート絶縁膜を上記絶縁膜で形成した場合であっても、電気的特性の変動や劣化を招き、信頼性を低下させていた。

このように、いずれにあってもPチャネルFETにおけるゲート電極からの不純物の拡散と、NチャネルFETにおけるホットキャリアの劣化を抑制することができなかった。

そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、ゲート電極からの不純物の拡散及びホットキャリアの劣化を抑制して、安定して良好な電気的特性を得ることができる相補型のFETからなる半導体装置を提供することにある。

ライド膜は、その膜中に多数の電子トラップが存在している。このため、上記の絶縁膜がゲート絶縁膜中に含まれる場合に、NチャネルFETでは、シリコン・絶縁膜界面近傍に多数存在するホットエレクトロン及びこのホットエレクトロンの衝突電離により生成されるホットな電子が、上記絶縁膜中のトラップに捕獲されて、ホットキャリアの劣化を引き起こし易くなる。したがって、このホットキャリアの劣化により、チャネル電流の低下やしきい値の変動といった電気的特性の劣化や不安定性を招いていた。

（発明が解決しようとする課題）

以上説明したように、従来の表面型におけるCMOS構造の半導体装置にあっては、ゲート絶縁膜がNチャネルFETとPチャネルFETとで共通であった。このため、ゲート絶縁膜をシリコン酸化膜で形成した場合は、PチャネルFETのゲート電極を形成するポリシリコンにドーブされた不純物のボロンが、ゲート電極からシリコン酸化膜を介して容易に拡散されていた。これにより、

〔発明の構成〕

（課題を解決するための手段）

上記目的を達成するために、半導体基板上にゲート絶縁膜を介して形成されたゲート電極を備えた表面型の第1導電型及び第2導電型FET（電界効果トランジスタ）が、同一半導体基板上に形成されてなる半導体装置において、この発明は、前記第1導電型FETのゲート絶縁膜は、半導体酸化膜からなり、前記第2導電型FETのゲート絶縁膜は、その膜厚の一部あるいは全部が半導体と窒素を含む絶縁膜からなることを要旨とする。

（作用）

上記構造において、この発明は、第2導電型FETにおける半導体と窒素を含むゲート絶縁膜により、第2導電型FETのゲート電極からの不純物の拡散を阻止するようにしている。また、第1導電型FETにおける半導体酸化膜からなるゲート絶縁膜により、ホットキャリアの劣化を抑制するようにしている。

(実施例)

以下、図面を用いてこの発明の実施例を説明する。

第1図はこの発明の一実施例に係る半導体装置の構造を示す断面図である。第1図に示すこの発明の一実施例は、同一の半導体基板に表面型のPチャネルFETとNチャネルFETを相補的に機能するように形成した構造において、NチャネルFETのゲート絶縁膜をシリコン酸化膜で形成し、PチャネルFETのゲート絶縁膜をシリコン酸化膜とシリコン窒化膜からなる2層の絶縁膜で形成したことを特徴としている。

まず、第1図を参照して、この実施例の構造を説明する。

第1図において、P型のシリコン基板1中には、その表層部にNチャネルFETの形成領域となるPウェル2とPチャネルFETの形成領域となるNウェル3が隣接して形成されている。それぞれのウェル領域は、その周囲に素子分離領域となるフィールド酸化膜4が形成されている。

り、その周囲がシリコン後酸化膜9で被覆されている。

NチャネルFET及びPチャネルFETは、それぞれのソース領域5、10に電極配線14が形成されており、それぞれのドレイン領域6、11には、両領域を接続するように電極配線14が形成されている。また、両FETの表面には層間絶縁膜15が形成されている。

次に、上述した構造の半導体装置の製造方法を、第2図(a)～(j)に示す製造工程断面図を参照して説明する。

まず、通常用いられるCMOS工程により、Pウェル2、Nウェル3を基板1中の表層部に隣接して形成する。その後、LOCOS技術によりそれぞれのウェル領域の周囲を囲むようにフィールド酸化膜4を形成し、素子分離を行なう(第2図(a))。

次に、両FETが形成される領域となるPウェル2及びNウェル3の表面を熱酸化して、ゲート酸化膜となる50～100Å程度の厚さのシリコ

ン酸化膜7を形成する(第2図(b))。Pウェル2中には、その表層部に所定の距離だけ離間してNチャネルFETのソース領域5とドレイン領域6が形成されている。これらのソース領域5とドレイン領域6に挟まれたPウェル2中に形成されるチャネル領域上には、シリコン酸化膜7からなるゲート絶縁膜を介してNチャネルFETのゲート電極8が形成されている。このゲート電極8はN型の不純物が高濃度にドーピングされたポリシリコンからなり、その周囲がシリコン後酸化膜9で被覆されている。

Nウェル3中には、その表層部に所定の距離だけ離間してPチャネルFETのソース領域10とドレイン領域11が形成されている。これらのソース領域10とドレイン領域11に挟まれたNウェル3中に形成されるチャネル領域上には、シリコン酸化膜7とこの酸化膜7上に積層されたシリコン窒化膜12からなる2層構造のゲート絶縁膜を介してPチャネルFETのゲート電極13が形成されている。このゲート電極13は、P型の不純物が高濃度にドーピングされたポリシリコンからな

ン酸化膜7を形成する(第2図(b))。

次に、CVD法によりシリコン窒化膜12を10～20Å程度の厚さに堆積形成する。その後、PチャネルFETの形成予定領域をレジスト(図示せず)で被覆し、このレジストをマスクとして、PチャネルFETの形成予定領域となるNウェル3上のシリコン酸化膜7上にのみシリコン窒化膜12が残存するように、シリコン窒化膜12の一部をエッチングして除去する。次いで、レジストを除去する。なお、この後、残存するシリコン窒化膜12の表面を後酸化工程によりわずかに酸化するようにしてもよい。(第2図(c))。

次に、全面にノンドープのポリシリコン膜16をCVD法により2000～4000Å程度の厚さに堆積形成する。その後、堆積したポリシリコン膜16をレジストマスクを用いて両FETのゲート電極8、13となるようにパターニングする(第2図(d))。

次に、後酸化によりポリシリコン膜16の露出されている表面にシリコン後酸化膜9を形成する

(第2図(e))。

次いで、PチャネルFETの形成予定領域をレジスト17で被覆し、このレジスト17をマスクにして、P型の不純物となるヒ素のイオン注入を30KeV程度の注入エネルギー、 $2 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量で行なう。これにより、露出されているポリシリコン膜16の両側のPウェル2中にヒ素を導入して、NチャネルFETのソース領域5とドレイン領域6を接合深さが比較的浅くなるように形成するとともに、ポリシリコン膜16にヒ素を高濃度にドーピングしてNチャネルFETのゲート電極8を形成する(第2図(f))。

次に、前工程のレジスト17を除去した後、NチャネルFETの形成予定領域をレジスト(図示せず)で被覆し、このレジストをマスクにして、N型の不純物を含むBF₂(フッ化ボロン)のイオン注入をヒ素のイオン注入と同条件下で行なう。これにより、露出されているポリシリコン膜16の両側のNウェル3中にボロンを導入して、Pチ

ャネルFETのソース領域10とドレイン領域11を接合深さが比較的浅くなるように形成するとともに、ポリシリコン14にボロンを高濃度にドーピングしてPチャネルFETのゲート電極13を形成する(第2図(g))。

次に、前工程のレジストを除去した後、全面に層間絶縁膜15となるシリコン酸化膜をCVD法により堆積形成する(第2図(h))。

次いで、両FETのソース領域5、10及びドレイン領域6、11上にコンタクト孔19を開口形成する。その後、PチャネルFETの素子領域をレジスト(図示せず)で被覆し、60KeV程度の注入エネルギー、 $5 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量でヒ素のイオン注入を行なう。続いて、PチャネルFETの素子領域を被覆したレジストを除去し、NチャネルFETの素子領域をレジスト(図示せず)で被覆し、上述したヒ素のイオン注入と同条件下でBF₂のイオン注入を行なう。これにより、両FETのソース領域5、10及びドレイン領域6、11における電極配線14とコン

タクトする部分を深く形成する。これは、ソース領域5、10及びドレイン領域6、11上に電極配線14を形成した時に、電極配線14の重みで比較的浅く形成されたソース領域5、10及びドレイン領域6、11が破壊されて、コンタクト不良が生じないように、ソース領域5、10及びドレイン領域6、11に強度を持たせるようにするための工程である(第2図(i))。

最後に、例えばアルミニウムを全面に堆積形成した後、このアルミニウムをパターニングして、コンタクト孔19に両FETのソース領域5、10の電極配線14を形成し、両FETのドレイン領域6、11を接続するように電極配線14を形成して、第1図に示す構造の半導体装置が完成する(第2図(j))。

このような製造方法によって形成される第1図に示す構造にあっては、NチャネルFETのゲート絶縁膜はシリコン酸化膜7で形成されている。このため、ゲート絶縁膜の膜厚の一部あるいは全部をシリコン窒化膜やシリコン・オキシナイトラ

イド膜等の窒素を含む絶縁膜で形成した場合に生じるキャリアの劣化は、NチャネルFETでは生じない。

また、PチャネルFETのゲート絶縁膜には、シリコン窒化膜12が含まれている。このため、PチャネルFETのゲート電極13に導入されたP型不純物のボロンは、その拡散がシリコン窒化膜12によって阻止される。

一方、PチャネルFETでは、キャリアが正孔であるとともに、正孔の衝突電離係数が電子のそれに比べてほぼ2桁程度小さいために、衝突電離が起りにくく、ホットな電子・正孔対の発生がNチャネルFETに比べて少ない。これにより、PチャネルFETでは、シリコン・酸化膜界面近傍のホットな電子の量が、NチャネルFETに比べて極めて少なくなる。したがって、PチャネルFETでは、ホットキャリアの劣化がNチャネルFETに比べて大幅に抑制され、チャネル電流の低下やしきい値の変動が生じることはない。

このように、上述した構造にあっては、ゲート

電極からの不純物の拡散やホットキャリアの劣化が防止され、電気的特性の変動や劣化を抑制することができる。

次に、この発明の他の実施例を説明する。

第3図はこの発明の他の実施例に係る半導体装置の構造を示す断面図である。第3図に示す実施例の特徴とするところは、PチャネルFETのゲート絶縁膜としてシリコン・オキシナイトライド膜を用いたことにある。このような構造にあっては、前述した製造工程とはほぼ同様な製造工程により実現することができ、以下、第4図に示す工程断面図を参照して説明する。

まず、第2図(a)及び同図(b)に示したと同様の工程を経た後、ノンドープのポリシリコン膜16を全面に堆積形成し、リン拡散を行なった後、NチャネルFETのゲート電極となるポリシリコン膜16だけが残存するようにポリシリコン膜16をパターニングする。その後、ポリシリコン膜16を酸化して、ポリシリコン膜16の露出表面にシリコン後酸化膜9を形成する(第4図

ングする。続いて、パターニングされたポリシリコン膜16の表面を熱酸化して、ポリシリコン膜16の露出表面にシリコン後酸化膜9を形成する(第4図(d))。

次に、第2図(g)に示したと同様な工程により、ヒ素及び BF_3 のイオン注入により、PチャネルFETのソース領域10及びドレイン領域11とゲート電極13を形成する(第4図(e))。

次に、レジストとして機能するシリコン酸化膜21を除去した後、第2図(f)に示したと同様の工程により、NチャネルFETのソース領域5及びドレイン領域6とゲート電極8を形成する。次いで、第2図(h)及び同図(i)に示す工程を経て、第3図に示す構造の装置が完成する。

このような構造にあっては、PチャネルFETのゲート絶縁膜だけが、シリコン・ナイトライド膜を含む絶縁膜で形成されているため、前述した実施例と同様の効果を得ることができる。

なお、この発明は上記実施例に限ることはなく、PチャネルFETのゲート絶縁膜を、シリコン窒

(a))。

次に、全面にレジストとして機能するシリコン酸化膜21をCVD法により堆積形成した後、PチャネルFETの形成予定領域上のシリコン酸化膜21を除去し、NチャネルFETの形成予定領域をシリコン酸化膜21で被覆する(第4図(b))。

次に、PチャネルFETの形成予定領域におけるNウェル3の表面に50~100Å程度の厚さのシリコン酸化膜(図示せず)を形成する。その後、ランプアニール法によって950℃程度の温度のアンモニア雰囲気中で60秒間アニールを行ない、さらに、1150℃程度の温度のドライ酸素雰囲気中で60秒間アニールを行う。これにより、PチャネルFETのゲート絶縁膜としてシリコン・オキシナイトライド膜20を形成する(第4図(c))。

次に、全面にノンドープポリシリコン膜16を堆積形成した後、このポリシリコン膜16をPチャネルFETのゲート電極となるようにパターニングする。続いて、パターニングされたポリシリコン膜16の表面を熱酸化して、ポリシリコン膜16の露出表面にシリコン後酸化膜9を形成する(第4図(d))。

【発明の効果】

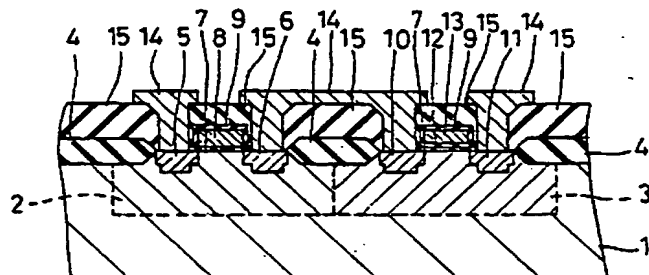
以上説明したように、この発明によれば、相補型として機能するように接続された第1導電型FET及び第2導電型FETのゲート絶縁膜をそれぞれ異なる膜質の絶縁膜で形成するようにしたので、電気的特性の不安定性や変動が抑制されて、安定した良好な素子特性が得られ、信頼性を大幅に向上させることができる。

4. 図面の簡単な説明

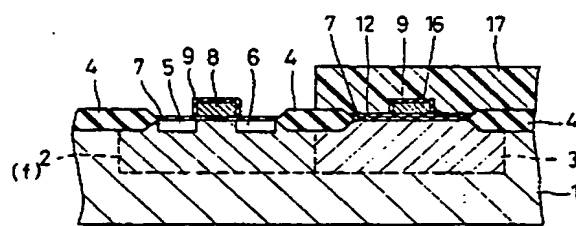
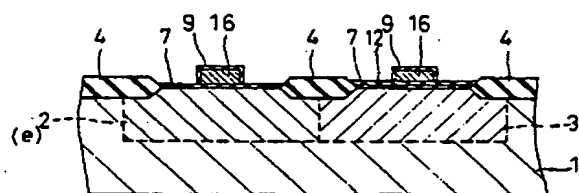
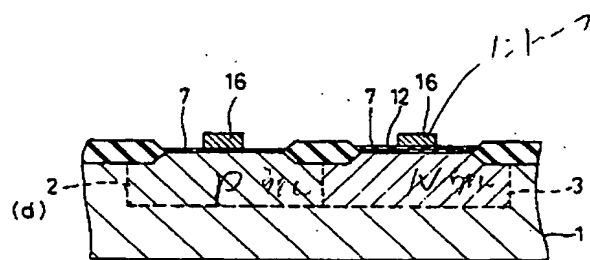
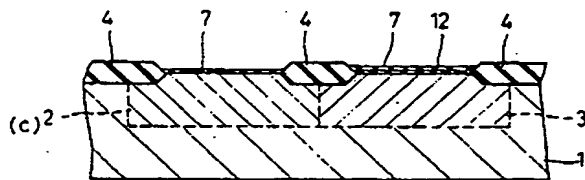
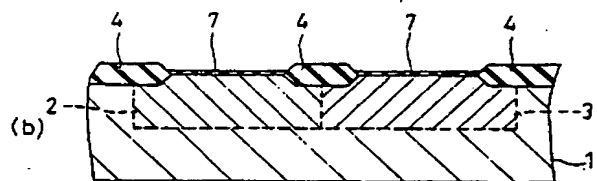
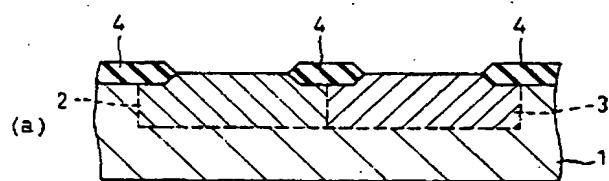
第1図はこの発明の一実施例に係る半導体装置の構造断面図、第2図は第1図に示す装置の一製造方法を示す工程断面図、第3図はこの発明の他の実施例に係る半導体装置の構造断面図、第4図

は第3図に示す装置の一製造方法を示す工程断面図である。

- 1…シリコン基板、2…Pウェル、
- 3…Nウェル、
- 5…NチャネルFETのソース領域、
- 6…NチャネルFETのドレイン領域、
- 7…シリコン酸化膜、
- 8…NチャネルFETのゲート電極、
- 10…PチャネルFETのソース領域、
- 11…PチャネルFETのドレイン領域、
- 12…シリコン窒化膜、
- 13…PチャネルFETのゲート電極、
- 20…シリコン・オキシナイトライド膜。

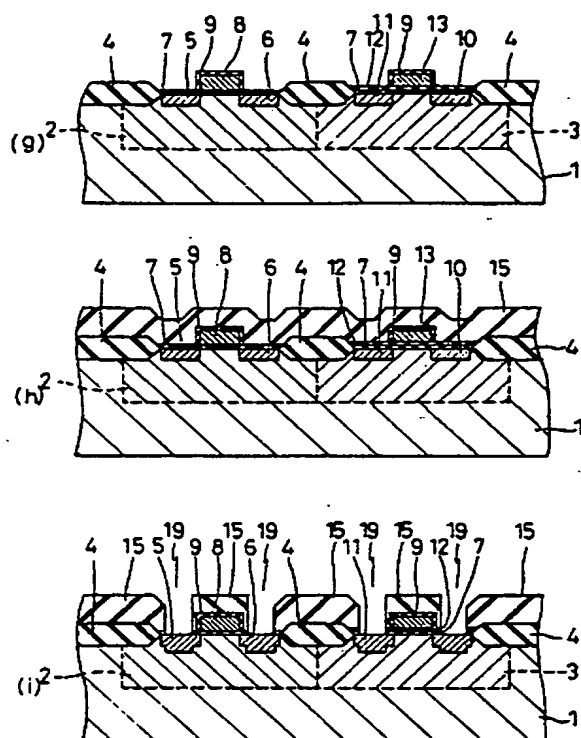


第1図

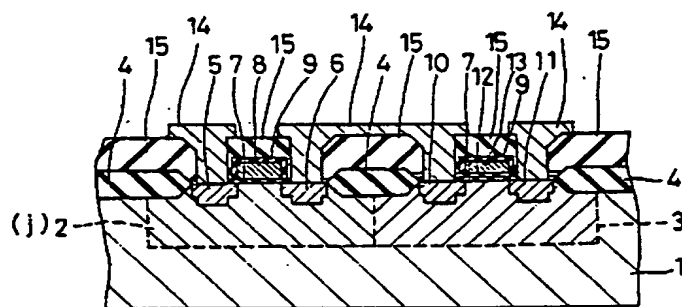


第2図

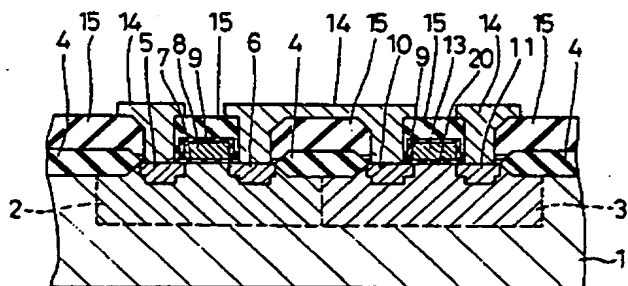
第2図



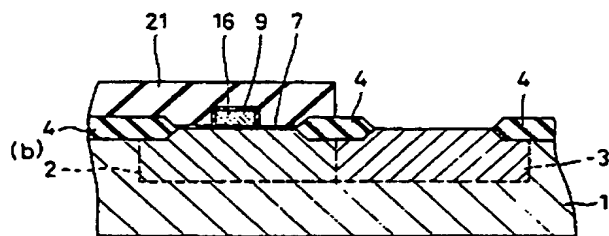
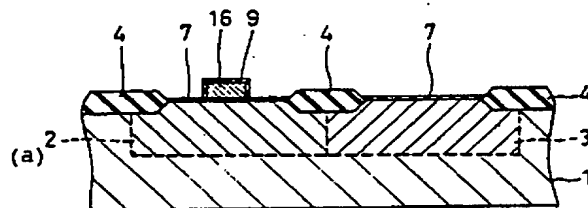
第 2 図



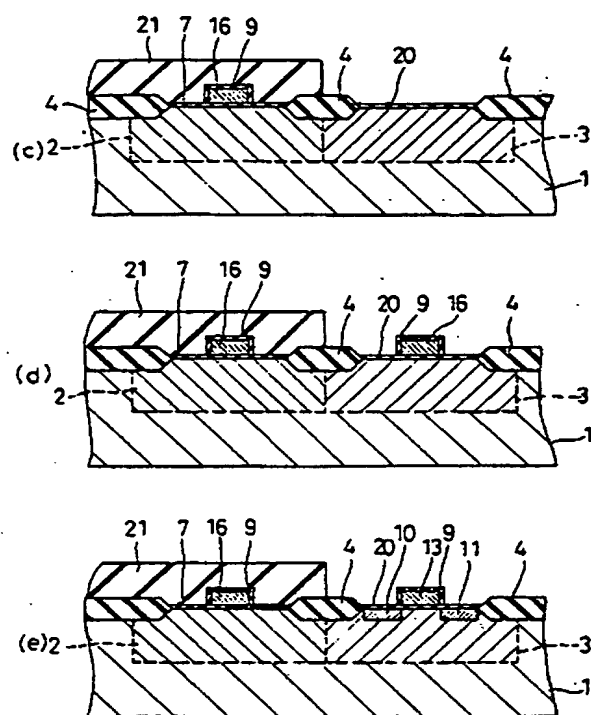
第 2 図



第 3 図



第 4 図



第 4 図